

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-254638

(43) 公開日 平成7年(1995)10月3日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/76

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 76

L

審査請求 未請求 請求項の数 2 F D (全 14 頁)

(21) 出願番号 特願平6-71567

(22) 出願日 平成6年(1994)3月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 首藤 晋

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 有留 誠一

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 ヘミンク・ゲルトヤン

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

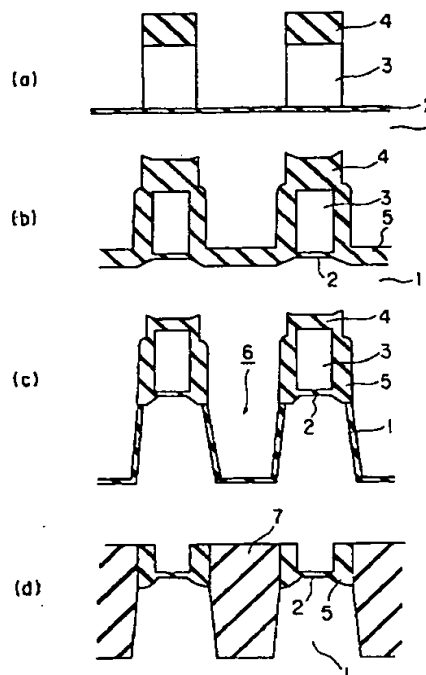
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 高集積化を可能にするとともに、トレンチの角部の影響を受けない素子分離構造を有する半導体装置を提供することを目的とする。

【構成】 本発明では、半導体基板表面に設けた溝を埋め込んで形成した素子分離領域と、該素子分離領域によって電気的に分離された素子形成領域とを備えた半導体装置において、前記素子分離領域を埋め込んでいる物質は、前記半導体基板表面に設けた溝の上端面より突出して形成されていると共に、前記素子分離領域に接する半導体基板の上方端部の上部に形成する絶縁膜の膜厚を、前記素子領域に形成するゲート酸化膜の膜厚より厚くしたことを特徴とする。



## 【特許請求の範囲】

【請求項 1】半導体基板表面に設けた溝を埋め込んで形成した素子分離領域と、該素子分離領域によって電気的に分離された素子形成領域とを備えた半導体装置において、

前記素子分離領域を埋め込んでいる物質は、前記半導体基板表面に設けた溝の上端面より突出して形成されていると共に、

前記素子分離領域に接する半導体基板の上方端部の上部に形成する絶縁膜の膜厚を、前記素子領域に形成するゲート酸化膜の膜厚より厚くしたことを特徴とする半導体装置。

【請求項 2】半導体基板表面に設けた溝に絶縁物を埋め込んで形成した素子分離領域と、該素子分離領域によって電気的に分離された素子形成領域とを備えた半導体装置において、

前記素子分離領域を構成する絶縁物は、前記半導体基板表面に設けた溝の上端面より突出して形成されていると共に、

前記素子分離領域に接する半導体基板の上方端部の上部に形成する絶縁膜の膜厚を、前記素子領域に形成するゲート酸化膜の膜厚より厚くしたことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体基板表面に形成した溝を絶縁物で埋め込んだ領域を素子分離に用いる半導体装置に関する。

## 【0002】

【従来の技術】一般に、メモリやロジックなどに代表される半導体集積回路においては、隣接するトランジスタ領域を電気的に分離する素子分離技術が、各々のトランジスタあるいはセルを独立に動作させるために必要不可欠である。

【0003】LSI製造に用いる従来の素子分離技術としては、厚い酸化膜を素子分離領域上に選択的に形成して素子分離を行う方法（LOCOS分離法）と、素子分離領域にあたる半導体基板表面に溝を掘り、その溝を絶縁物で埋めて素子分離を行う方法（トレンチ分離法）がある。図23（a）および図23（b）に、LOCOS分離法、トレンチ分離法のそれぞれによって形成された素子分離領域の断面図を示す。

【0004】図23（a）に示すようなLOCOS分離法は、シリコン基板100上の素子形成領域となる部分に堆積した窒化シリコンをマスクとして、ゲート絶縁膜102より酸化膜をかなり厚めにした領域（素子分離絶縁膜）101を選択的に形成し、一方のトランジスタと他方のトランジスタを電気的に分離するものであるが、この方法はいくつかの点で高集積に向かないという問題点がある。その理由の一つは、選択酸化の際に鳥のくち

ばし状の酸化膜（バーズ・ピーク）103がマスク材の下に形成されて、マスク材の端と素子分離領域の端との間に大きな変換差がついてしまうため、素子領域の大きさある程度以下にするのが難しいことである。他の理由としては、素子分離領域形成のための長時間にわたる酸化のために、素子分離領域上にイオン注入した不純物が拡散し狭チャネル効果を助長するため、素子形成領域の幅を狭くするのが難しいためである。

【0005】また、これらの問題を解決するためには素子分離領域を形成するための酸化を少なくすれば良いが、酸化量を減らすと素子分離用の酸化膜の膜厚が減り素子分離領域の反転電圧の低下を招くという問題が新たに生じる。

【0006】このように、LOCOS分離法は、これからのサブミクロンデバイスに用いるには限界がある。

【0007】一方、図23（b）に示すようなトレンチ分離法は、LOCOSに代わる新しい素子分離方法として考えられたものであり、上記のようなLOCOS分離で起こる問題点の多くは、このトレンチ分離を導入することによってかなり解決することができる。

【0008】このトレンチ分離法は、シリコン基板100表面の素子分離領域となる部分を掘り下げて溝104を作り、そこにSiO<sub>2</sub>などの絶縁物質105を埋め込むことにより素子分離する方法である。以下に、従来のトレンチ分離法による素子分離領域を形成するためのプロセスの一例を示す。

【0009】まず、シリコン基板100上に、10～50nmの熱酸化膜、100～500nmの多結晶シリコン膜、100～500nmのCVDシリコン酸化膜を逐次形成した後、レジスト・パターンニングし、RIEにより垂直にエッチングし、レジストを剥離する。そして、残ったCVDシリコン酸化膜をマスクにして、シリコン基板100の露出した部分をRIEにて0.3～0.5μmエッチングし、素子分離のための溝（トレンチ）104を作る。次に、この溝104の側壁を保護するために、10～50nmの熱酸化を行って、トレンチ側壁に酸化膜を形成する。ここで、トレンチ側壁保護のための酸化膜を形成した後に、素子分離能力を高めるための不純物注入を行うことがある。

【0010】次に、溝104をCVDシリコン酸化物（例えばTEOSによるCVD膜）105にて埋め戻す。その後、このCVDシリコン酸化物105をレジストエッチバックまたはポリッシングにて多結晶シリコンが露出するまで削って平坦化する。そして、多結晶シリコンおよびその下のバッファ酸化膜を取り除く。

【0011】以上の製造工程によって素子分離領域が形成される。以下の工程では、トランジスタ等の素子を素子領域上に形成していく。

【0012】まず、素子領域上のシリコン基板100を10nm程酸化し、この酸化膜を通してトランジスタの

しきい値制御のための不純物注入を行う。次に、一旦、先の酸化膜を剥離し、ゲート酸化膜を形成し、ゲートとなる多結晶シリコン120を堆積させる。その後、ゲート120をパターンニングし拡散層を形成するとトランジスタが完成する。

【0013】このようにして作られたトレンチによる素子分離領域は、溝の幅がそのまま素子分離領域になるので、そこに絶縁物質を埋め込める限りはその部分を小さくすることができ、LOCOS法に比べても領域を節約することができると共に、前述したようなLOCOS分離の持つ様々な問題点を解決することができる。

【0014】しかしながら、その一方で、いくつかの新たな問題点を生ずる。

【0015】新たな問題点の一つは、図24においてBにて示すようなトランジスタのサブスレッショルド領域に現れるキंकである。上記のようなプロセスで作られた素子領域においては、素子領域の端のところ、すなわちトランジスタのゲート酸化膜部とトレンチとの境に、角の部分(図23(b)中でAと示された部分)を生じる。そして、この角の部分で電界集中が起きるため、角の部分の寄生トランジスタのしきい値は実際のトランジスタのしきい値より低くなってしまふ。これが原因で、上記のようなキंकが現れるわけである。このようなキंक自身は回路設計自体にとっては問題になるようなものではないが、角の部分の寄生トランジスタによってサブスレッショルド電流が増加するのはスタンバイ電流の増加などの問題を起こし、回路設計と素子設計上で障害となる。また、角の部分への電界集中の度合いは、角部の形状により大きく変化する。このため、全てのトランジスタに対して全く同じようにキंकを発生させるのは困難である。従って、上述したトランジスタのサブスレッショルド部に現れるキंकは、素子特性のバラツキを引き起こす原因ともなり、集積回路を作る上で大きな問題となる。

【0016】もう一つの問題は、素子領域の端に部分にある角で電界集中が起こるために、トランジスタのゲート耐圧を低下させて、トランジスタの信頼性を低下させることである。また、前述したように、全ての素子に対して同じ程度の電界集中が起きるようにするのは困難であるため、このような電界集中は、EPROMやEEPROMのようなゲート酸化膜を通して電荷をやりとりするデバイスにおいては書き込み時のしきい値ばらつきを生じると共に、EEPROMにおいては消去時のしきい値ばらつきも生じる。

【0017】

【発明が解決しようとする課題】以上述べてきたように、従来のLOCOS分離法では、大きなバース・ピークが不可避免的に発生し、また長時間の酸化が不純物拡散を招き狭チャネル効果を助長するために、素子領域の大きさをある程度以下にするのは難しいという問題点があ

った。

【0018】また、従来のトレンチ素子分離技術では、素子領域の端の角の部分で電界集中を起こすため、トランジスタのサブスレッショルド特性にキंकが生じ、およびゲート耐圧が低下してトランジスタの信頼性が低下するなどの問題点があった。

【0019】本発明は、上記事情を考慮してなされたもので、高集積化を可能にするとともに、トレンチの角部の影響を受けない素子分離構造を有する半導体装置を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明に係る課題解決手段(請求項1)は、半導体基板表面に設けた溝を埋め込んで形成した素子分離領域と、該素子分離領域によって電氣的に分離された素子形成領域とを備えた半導体装置において、前記素子分離領域を埋め込んでいる物質は、前記半導体基板表面に設けた溝の上端面より突出して形成されていると共に、前記素子分離領域に接する半導体基板の上方端部の上部に形成する絶縁膜の膜厚を、前記素子領域に形成するゲート酸化膜の膜厚より厚くしたことを特徴とする。

【0021】本発明に係る課題解決手段(請求項2)は、半導体基板表面に設けた溝に絶縁物を埋め込んで形成した素子分離領域と、該素子分離領域によって電氣的に分離された素子形成領域とを備えた半導体装置において、前記素子分離領域を構成する絶縁物は、前記半導体基板表面に設けた溝の上端面より突出して形成されていると共に、前記素子分離領域に接する半導体基板の上方端部の上部に形成する絶縁膜の膜厚を、前記素子領域に形成するゲート酸化膜の膜厚より厚くしたことを特徴とする。

【0022】前記絶縁膜は、前記絶縁物より低い速度でエッチングできる材料を用いて形成すると、製造工程においてウェットエッチ(NH<sub>4</sub>Fエッチング)時の後退の程度を遅して角を保護するために十分な厚みを確保できるので好ましい。

【0023】さらに好ましくは、前記絶縁物にはCVD酸化膜(TEOS)を用いるとともに、前記絶縁膜には熱酸化膜を用いると良い。

【0024】一方、本発明に係る半導体装置の製造方法は、半導体基板上にパッファ酸化膜を介して順次堆積された第1のマスク層および第2のマスク層から素子分離領域となる部分を取り除く工程と、バース・ピーク酸化を行う工程と、前記マスク層を用いて半導体基板上の酸化膜をRIEにより取り除く工程と、前記マスク層を用いて半導体基板をエッチングし溝を形成する工程と、前記溝の底から前記第2のマスク層の上方まで絶縁物を堆積する工程と、この堆積した絶縁物を前記第1のマスク層の上端部分が露出するまで平坦化する工程と、前記第1のマスク層と前記パッファ酸化膜を順次除去する工程

と、素子形成領域に所望の素子を形成する工程とを有することを特徴とする。

【0025】また、本発明に係る他の半導体装置の製造方法は、半導体基板上にバッファ酸化膜を介して堆積された第1のマスク層および第2のマスク層から素子分離領域となる部分を取り除く工程と、パーズ・ピーク酸化を行う工程と、酸化膜を先に堆積されたマスク層の側壁に形成する工程と、前記マスク層を用いて半導体基板上の酸化膜をRIEにより取り除く工程と、前記マスク層を用いて半導体基板をエッチングし溝を形成する工程と、前記溝の底から前記第2のマスク層の上方まで絶縁物を堆積する工程と、この堆積した絶縁物を前記第1のマスク層の上端部分が露出するまで平坦化する工程と、前記第1のマスク層と前記バッファ酸化膜を順次除去する工程と、素子形成領域に所望の素子を形成する工程とを有することを特徴とする。なお、上記工程において、パーズ・ピーク酸化を行う工程は省いても良い。

【0026】

【作用】本発明（請求項1）によれば、前記素子分離領域に接する半導体基板物質の上方端部（角部）がゲート酸化膜よりも厚い絶縁膜で保護されているため、従来のトレンチ分離で問題であった角部での電界集中を効果的に緩和することが可能となる。

【0027】この結果、角部の寄生トランジスタのしきい値が実際のトランジスタのしきい値より低くなることを回避できるので、トランジスタのサブスレッショルド領域でのキンクの出現を回避できるとともに、トランジスタのゲート耐圧を向上することができる。これによって、リーク電流が少なく、信頼性の高い素子を形成することができる。

【0028】しかも、素子分離領域の主要部分にトレンチ構造を用いているので、素子の微細化が可能である。

【0029】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。

【0030】本発明の一実施例に係る半導体装置に用いる素子分離領域の概略断面図を、図1(d)、図2

(d)、図3(d)および図4(d)に示す。この素子分離領域はいずれも、半導体基板1表面に形成した溝（トレンチ）6に絶縁物7を埋め込んだ部分と、絶縁物7を少なくとも溝6の上端面より突出して形成した部分と、溝6を埋め込んだ絶縁物7に接する半導体基板1の上方端部の上部に形成した絶縁膜部分（5）（5, 8）（15, 16）（15, 7）から構成され、この絶縁膜部分の膜厚を、素子領域に形成するゲート酸化膜の膜厚より厚く形成したことを特徴としている。また、この絶縁膜部分は、熱酸化膜あるいは熱酸化膜とCVD酸化膜から構成される。

【0031】図5(a)、(b)には、本発明に係る素子分離領域と、これを用いて素子分離されたトランジス

タの概念図を示す。図中、aで示される領域は素子形成領域であり、iで示される領域は素子分離領域である。なお、トランジスタは、ゲート多結晶シリコン20にて示してある。図5から分かるように、本発明の素子分離構造を採用することにより、素子分離としてトレンチ構造を用いる利点すなわち素子の微細化が可能であるという利点を享受できる上、さらにトレンチエッジ部（図5中のEで示す角部）の上部の酸化膜25の膜厚 $t_b$ をゲート酸化膜22の膜厚 $t_{ox}$ より厚く形成したので、半導体基板1の角Eがこの厚い酸化膜25で十分に保護される。この結果、従来のトレンチ分離法で問題となっていた該角部での電界集中が緩和されるので、トランジスタのサブスレッショルド領域でのキンクやゲート酸化膜の信頼性の低下等の問題が生じることはない。

【0032】次に、図1(d)、図2(d)、図3(d)および図4(d)に示す素子分離領域を有する半導体装置の製造工程を順次説明する。

【0033】＜製造工程1＞図1(d)の素子分離領域を形成するには、次のような製造工程を行う。

【0034】まず、半導体（例えばシリコン）基板1上にバッファ酸化膜2を形成した後、第1のマスク層（例えば多結晶シリコン）3および第2のマスク層（例えばCVD酸化膜）4を成膜、トレンチ・リソグラフィ、マスクRIEを行って、第1のマスク層3および第2のマスク層4をパターンニングする（図1(a)）。

【0035】第1のマスク層3および第2のマスク層4を利用して半導体基板1に選択酸化（以下、パーズピーク酸化という）を施し、半導体基板1上のマスク層がない部分にLOCOSのごとき熱酸化膜（例えば100nm）5を形成する（図1(b)）。

【0036】マスクされていない部分の酸化膜5をエッチングし、トレンチRIEを行って、半導体基板1表面に素子分離用の溝6を形成した後、トレンチ側壁保護などのためのアニール/酸化を行う（図1(c)）。

【0037】絶縁物質（例えばTEOSによるCVD  $\text{SiO}_2$  膜）7を溝6の底部から第2のマスク層4の上方まで堆積し、第1のマスク層3が露出するまでエッチバックあるいはポリッシングを行う。そして、デンシファイ処理を行った後、第1のマスク層3を除去する（例えば、マスク層3が多結晶シリコンの場合には、CDEで除去する）（図1(d)）。

【0038】以上によって、本発明の素子分離領域が形成される。以下、バッファ酸化膜2を除去し、あらためてゲート酸化膜やトンネル酸化膜を形成し、そして公知の方法でトランジスタなどを形成する。

【0039】＜製造工程2＞図2(d)の素子分離領域を形成するには、次のような製造工程を行う。

【0040】まず、半導体（例えばシリコン）基板1上にバッファ酸化膜2を形成した後、成膜、トレンチ・リソグラフィ、マスクRIEを行って、第1のマスク層

(例えば多結晶シリコン) 3および第2のマスク層(例えばCVD酸化膜) 4をパターンニングする。その後、熱酸化により第1のマスク層3の側壁に酸化膜(例えば10nm) 8を形成する(図2(a))。

【0041】次いで、窒化膜9を堆積(例えば25nm)した後、第2のマスク層4の上部および素子分離領域上の窒化膜9をRIE除去して、両マスク層の側壁にのみ窒化膜9が残るようにする。そして、バースピーク酸化(例えば100nm)を行う(図2(b))。

【0042】マスクされていない部分の酸化膜5をエッチングし、トレンチRIEを行って、半導体基板1表面に素子分離用の溝6を形成した後、トレンチ側壁保護などのためのアニール/酸化を行う。そして、マスク層側壁の窒化膜9を除去する。(図2(c))。

【0043】絶縁物質(例えばTEOS) 7を溝6の底部から第2のマスク層4の上方まで堆積し、第1のマスク層3が露出するまでエッチバックあるいはポリッシングを行う。そして、デンシファイ処理を行った後、第1のマスク層3を除去する(例えばマスク層3が多結晶シリコンの場合にはCDEで除去する)(図1(d))。

【0044】以上によって、本発明の素子分離領域が形成される。以下、バッファ酸化膜2を除去し、あらためてゲート酸化膜やトンネル酸化膜を形成し、そして公知の方法でトランジスタなどを形成する。

【0045】なお、本実施例では、マスク層側壁にシリコン窒化膜を堆積するので、マスク層側壁の酸化を抑制してマスク形状を制御することにより、より細密な素子分離ができるという利点がある。

【0046】<製造工程3>図3(d)の素子分離領域を形成するには、次のような製造工程を行う。

【0047】まず、半導体(例えばシリコン)基板1上にバッファ酸化膜2を形成した後、成膜、トレンチ・リソグラフィ、マスクRIEを行って、第1のマスク層(例えば多結晶シリコン) 3および第2のマスク層(例えばCVD酸化膜) 4をパターンニングし、その後バースピーク酸化(例えば30~50nm)を行う(図3(a))。

【0048】酸化膜16を堆積(例えば50nm)した後、第2のマスク層4の上部および素子分離領域上の酸化膜を除去して、両マスク層の側壁にのみ酸化膜16が残るようにする(図3(b))。

【0049】トレンチRIEを行って、半導体基板1表面に素子分離用の溝6を形成した後、アニール/酸化を行う(図3(c))。

【0050】絶縁物質(例えばTEOS) 7を溝6の底部から第2のマスク層4の上方まで堆積し、第1のマスク層3が露出するまでエッチバックあるいはポリッシングを行う。そして、デンシファイ処理を行った後、第1のマスク層3を除去する(例えばマスク層3が多結晶シリコンの場合にはCDEを用いる)(図3(d))。

【0051】以上によって、本発明の素子分離領域が形成される。以下、バッファ酸化膜2を除去し、あらためてゲート酸化膜やトンネル酸化膜を形成し、そして公知の方法でトランジスタなどを形成する。

【0052】なお、上記製造工程において、バースピーク酸化を省き工程を簡略化しても良い。

【0053】<製造工程4>図4(d)の素子分離領域を形成するには、次のような製造工程を行う。

【0054】まず、半導体(例えばシリコン)基板1上にバッファ酸化膜2を形成した後、成膜、トレンチPEP、マスクRIEを行って、第1のマスク層(例えば多結晶シリコン) 3および第2のマスク層(例えばCVD酸化膜) 4をパターンニングし、その後バースピーク酸化(例えば30~50nm)を行う(図4(a))。

【0055】窒化膜26を堆積(例えば50nm)した後、両マスク層の側壁にのみ窒化膜26が残るように第2のマスク層4の上部および素子分離領域上の窒化膜26を除去するとともに、半導体基板1上の酸化膜も除去する。(図4(b))。

【0056】トレンチRIEを行って、半導体基板1表面に素子分離用の溝6を形成した後、ラウンドアニール/ラウンド酸化を行う。そして、マスク層側壁の窒化膜26を除去する。(図4(c))。

【0057】絶縁物質(例えばTEOS) 7を溝6の底部から第2のマスク層4の上方まで堆積し、第1のマスク層4が露出するまでエッチバックあるいはポリッシングを行う。そして、デンシファイ処理を行った後、第1のマスク層3を除去する(例えばマスク層3が多結晶シリコンの場合にはCDEを用いる)(図4(d))。

【0058】以上によって、本発明の素子分離領域が形成される。以下、バッファ酸化膜2を除去し、あらためてゲート酸化膜やトンネル酸化膜を形成し、そして公知の方法でトランジスタなどを形成する。

【0059】なお、上記製造工程において、バースピーク酸化を省き工程を簡略化しても良い。

【0060】次に、上述した製造工程1~3についてさらに詳細に説明する。なお、上記製造工程4は、製造工程3とほぼ同様であるので以下での説明を省略する。また、上記デンシファイ処理など本発明の要部でない工程は、適宜その記載を省略する。

【0061】<製造工程1>図6~図10を参照しながら上記製造工程1をさらに詳細に説明する。

【0062】まず、シリコン基板1上に10~50nmのバッファ酸化膜2を形成し、その上に100~500nmの厚さの多結晶シリコン3および100~500nmのCVDシリコン酸化膜4を順次堆積する。この多結晶シリコン3およびCVDシリコン酸化膜4は、後に述べる溝(トレンチ) 6を形成するトレンチ・エッチング工程において、マスク材としての役目を果たすものである。

【0063】次に、この上にレジスト30を塗布した後、フォトリソグラフィによりトレンチ・パターンを転写・形成する(図6(a))。

【0064】このパターンニングされたレジスト30をマスクとして、CVDシリコン酸化膜4および多結晶シリコン3をRIEによりエッチングする(図6(b))。この時のエッチングは、レジスト30をマスクとしてCVDシリコン酸化膜4および多結晶シリコン3をエッチングし、最後にレジスト30を剥離しても良いし、あるいはレジスト30をマスクとしてCVDシリコン酸化膜4をエッチングし、レジスト30を剥離し、その後にCVDシリコン酸化膜4をマスクとして多結晶シリコン3をエッチングしても良い。

【0065】次に、図6(b)のようにCVDシリコン酸化膜4および多結晶シリコン3がパターンニングされレジスト30が剥離された状態で、シリコン基板1のマスクされていない部分における酸化量が30~150nm程度になる条件で熱酸化を行う。この熱酸化により、シリコン基板1上、多結晶シリコン側壁、熱酸化膜、多結晶シリコン下部には、LOCOSに似た熱酸化膜5が選択的に成長する(図7(a))。なお、この選択酸化の前に、多結晶シリコン3とシリコン基板1間にある酸化膜2を側面から少しエッチングしたり(図10

(a))、多結晶シリコン3の底部を少しだけくさび形にエッチングしたり(図10(b))して、CVDシリコン酸化膜4および多結晶シリコン3からなるマスク材の下に熱酸化膜5が入り込み易くしても良い。こうすることにより、酸化量を減らしても十分な厚みのバース・ピークをマスク下に形成できる。

【0066】この後、ウェハの全面に対し、RIEによって多結晶シリコン3のない部分(基板上)のシリコン熱酸化膜5を取り除くのに十分な程度のシリコン酸化膜エッチングを行う(図7(b))。

【0067】なお、この工程では全面に対してシリコン酸化膜RIEを行うので、マスク材として用いるべきCVDシリコン酸化膜4もエッチングされてしまうので、CVDシリコン酸化膜4の膜厚は、このRIEの工程を経ても十分に後の工程でマスク材としての役目を果たすだけの膜厚が残っているように設定することが望ましい。

【0068】次に、素子分離の役目を果たす溝6をシリコン基板1上にRIEにて形成する(図7(c))。この時のCVDシリコン酸化膜4がマスクとしての役目をする。シリコン基板1上に形成される溝6の深さは、0.3~0.7 $\mu$ mにするのが望ましい。

【0069】次に、溝6の側壁を保護するため、およびシリコン基板1表面の溝6の入口にある角を丸めるために、20~50nmの熱酸化を行う(この酸化をラウンド酸化と呼ぶ)。この時、この熱酸化膜(図示せず)を通して、素子分離能力を高めるための不純物イオン注入

を行っても良い。

【0070】次に、上記熱酸化の後、CVDシリコン酸化膜(例えばTEOS)7を溝6の底部からCVDシリコン酸化膜4の上方まで堆積させる(図8(a))。

【0071】次に、マスク材の多結晶シリコン3が露出するまで、エッチバックを行う(図8(b))。このエッチバックには、レジストを用いたエッチバックの技術を用いても良いし、またポリッシングを用いても良い。

【0072】図8(b)のようにトレンチ埋め込み材のCVD酸化膜7が平坦化されたら、次に、マスク材の多結晶シリコン3を取り除き(図8(c))、さらに素子領域上の熱酸化膜2を取り除く(図9)。この時、図7(a)を用いて説明したLOCOS形成に似た熱酸化(バース・ピーク酸化)により形成された素子領域上にあるバース・ピーク(図8(c)中のbで示される部分)を同時に取り除いてしまわないように、シリコン酸化膜エッチングの条件を選ぶことが望ましい。

【0073】この後、chI/I、ゲート酸化膜形成、ゲート多結晶シリコン膜堆積、ゲートパターンニング形成、トランジスタ拡散層形成といった工程を経て、素子領域上に所望のトランジスタが形成される。なお、このトランジスタ形成工程に関しては、公知の技術を用いれば良いので、詳細な説明は省略する。

【0074】以上説明した工程によって製造したトランジスタは、素子領域の端(溝の端)が、ゲート酸化膜に比べて厚いバース・ピークのごとき熱酸化膜によって保護されている。従って、先に述べたように、トランジスタのサブスレッショルド特性へのキंकの出現や素子領域端の角部への電界集中によるゲート耐圧の劣化といった問題は出現しない。

【0075】なお、本実施例では、マスク材として多結晶シリコンおよびCVDシリコン酸化膜を用いたが、その他、選択熱酸化時にマスクとして機能し、シリコン基板RIEと平坦化工程の時にマスクとして機能するものであれば何を用いても良い。例えば、窒化シリコンとCVDシリコン酸化膜の組み合わせや窒化シリコンの単層膜等が考えられる。

【0076】<製造工程2>次に、図11~図14を参照しながら上記製造工程2をさらに詳細に説明する。

【0077】まず、シリコン基板1上に10~50nmのバッファ酸化膜2を形成し、その上に多結晶シリコン3を100~500nm程度堆積し、さらにCVDシリコン酸化膜4を100~500nmほど堆積する。

【0078】次に、この上にレジスト30を塗布した後、フォトリソグラフィによりトレンチ・パターンを転写・形成する(図11(a))。

【0079】このパターンニングされたレジスト30をマスクとして、CVDシリコン酸化膜4および多結晶シリコン3をRIEによりエッチングする(図11

(b))。この時のエッチングは、レジスト30をマス

クとしてCVDシリコン酸化膜4および多結晶シリコン3をエッチングし、最後にレジスト30を剥離しても良い。あるいは、レジスト30をマスクとしてCVDシリコン酸化膜4をエッチングし、レジスト30を剥離し、その後にCVDシリコン酸化膜4をマスクとして多結晶シリコン3をエッチングしても良い。

【0080】次に、多結晶シリコン3を10~30nm酸化して、その側壁に酸化膜8を形成する(図11(c))。あるいは、CVDシリコン酸化膜を10~30nm堆積する(図11(d))。その後に、シリコン窒化膜9を堆積する(例えば25nm)(図12(a))。

【0081】次に、堆積されたシリコン窒化膜9のうちマスク材の側壁に形成された部分のみ残すようにRIEにてシリコン窒化膜除去を行い、続けてマスク材のない部分のバッファ酸化膜2をRIEにて除去する(図12(b))。

【0082】このシリコン基板1の露出した部分の酸化膜厚が約50nmになるように熱酸化(バース・ピーク酸化)を行う(図12(c))。このとき、シリコン窒化膜9により、多結晶シリコン3の側壁が酸化されるのを防いでいる。

【0083】この後、ウェハの全面に対し、RIEによって多結晶シリコン3のない部分のシリコン熱酸化膜5を取り除くのに充分な程度のシリコン酸化膜エッチングを行う(図13(a))。

【0084】なお、この工程では全面に対してシリコン酸化膜RIEを行うので、マスク材として用いるべきCVDシリコン酸化膜4もエッチングされてしまうので、CVDシリコン酸化膜4の膜厚は、このRIEの工程を経ても十分に後の工程でマスク材としての役目を果たすだけの膜厚が残っているように設定することが望ましい。

【0085】次に、素子分離の役目を果たす溝6をシリコン基板1上にRIEにて形成する(図13(b))。この時のCVDシリコン酸化膜4がマスクとしての役目をする。シリコン基板1上に形成される溝6の深さは、0.3~0.7 $\mu$ mにするのが望ましい。

【0086】次に、溝6の側壁を保護するため、およびシリコン基板1表面の溝6の入口にある角を丸めるために、20~50nmの熱酸化を行う。

【0087】そして、マスク材の側壁に付いている窒化シリコン膜をCDEまたは熱燐酸によるエッチングで除去する。この時、窒化シリコン・エッチングに先立って窒化シリコン上のシリコン酸化物を除去するためのエッチングが必要になる場合がある。また、上記エッチングの前後で、先の熱酸化膜(図示せず)を通して、素子分離能力を高めるための不純物イオン注入を行っても良い。

【0088】この後、CVDシリコン酸化膜7を堆積し

て、溝を埋め込む(図13(c))。そして、シリコン酸化膜RIEまたはCMPによりエッチバックを行い、多結晶シリコン膜3を露出させるとともに、平坦化を行う(図14(a))。

【0089】多結晶シリコン3を取り除いた後に(図14(b))、バッファ酸化膜2をエッチングする(図14(c))。このとき、トレンチ端が露出しないようにエッチングの条件を設定するのが望ましい。

【0090】そして、公知の技術で、素子形成領域にトランジスタを形成する。

【0091】このようにして作られたトランジスタは、素子領域端がトレンチ端より内部に存在するため、トランジスタのサブスレッショルド特性のキックの出現や、同領域端での電界集中によるゲート耐圧の劣化を防ぐことができる。

【0092】さらに、本実施例では、マスク側壁にシリコン窒化膜を堆積し、マスク形状を制御することにより、より細密な素子分離が可能である。

【0093】<製造工程3>次に、上記製造工程3をさらに詳細に説明する。最初に、先に概略的に述べた製造工程3中のバースピーク酸化工程を省略したものについて説明する。

【0094】図15には、本実施例に係るトレンチ素子分離を用いたトランジスタ・デバイスの平面図を示す。図16には、図15のA-A'断面図を示す。

【0095】各トランジスタにおいては、P型ウェル上に5~40nmの熱酸化膜からなるゲート絶縁膜22を介して形成された50~400nmの第一層多結晶シリコン膜20によりゲートが形成されている。トランジスタ間には0.3~0.7 $\mu$ mの深さの溝6が掘られており、絶縁物質であるTEOS CVD膜7が埋め込まれている。溝(トレンチ)のエッジ部(図16中のFで示される角部)の上部にはゲート酸化膜よりの厚いCVDシリコン酸化膜16が形成されており、これによってエッジ部の角が保護されている。

【0096】次に、この実施例の具体的な製造工程を図17、図18を用いて説明する。

【0097】通常の工程に従ってまず、n型シリコン基板1に、P型ウェルを形成する。続いてバッファ酸化膜として熱酸化膜2を形成した後、例えば100~500nmの第一層多結晶シリコン膜3を堆積する。そして、その上にトレンチRIE時のマスクとなる第二層シリコン酸化膜4を例えば100~500nm程度堆積する(図17(a))。

【0098】そして、フォトリソ加工により、第二層シリコン酸化膜4および第一層多結晶シリコン3をパターンニングする(図17(b))。

【0099】次にLP-CVD法により、例えば30~100nmの膜厚のシリコン酸化膜16を堆積する(図17(c))。

【0100】その後、RIEによりマスクとなる第一層、第二層の側壁のみに膜16を残す(図17(d))。

【0101】次に、この状態で基板物質1をエッチングして溝を掘る。そして、溝6の側壁を保護することなどのために、20~50nmの熱酸化を行う。この時、この熱酸化膜32を通して、素子分離能力を高めるための不純物イオン注入を行っても良い。

【0102】次に、上記熱酸化の後、CVDシリコン酸化膜(例えばTEOS)などの絶縁物質7を溝6の底部からCVDシリコン酸化膜4の上方まで堆積させる。その後、例えば基板全面をエッチングあるいはポリッシングにより平坦化して第一層の多結晶シリコン3を露出させた後、この多結晶シリコン3をCDE処理により除去する。そして、バッファ酸化膜2を除去した後、公知の方法にて素子領域上にトランジスタを形成する(図18)。

【0103】この実施例によれば、ゲート酸化膜に接するトレンチ・エッジ部Fが、側壁に付けられた厚いシリコン酸化膜によって保護されているので、この後のNH<sub>4</sub>F処理によるトレンチエッジ部の露出を防ぐことができる。そして、トレンチ・エッジ部Fでの電界集中の発生も防止することができる。

【0104】続けて、上記製造工程3においてバズピーク酸化工程を実施する例について説明する。

【0105】本実施例に係るトレンチ素子分離を用いたトランジスタデバイスの平面図は、前述した図15と同様であるので省略し、図19に対応するA-A'断面図を示す。トランジスタ間には0.3~0.7μmの深さの溝6が掘られており、絶縁物質であるTEOS7が埋め込まれている。トレンチのエッジ部(図19中のF'で示される角部)には、ゲートの多結晶シリコン20の側壁に着いたCVDシリコン酸化膜16に加え、側壁をつける前の段階で酸化したバズ・ピーク型の酸化膜15がエッジ部を覆っている。

【0106】次に、この実施例の具体的な製造工程を図20、図21を用いて説明する。なお、ここでは、上記したバズピーク酸化を省略するプロセスと異なる部分について説明する。

【0107】前述したような方法で第一層3、第二層4を堆積し、パターンニングした後、30~150nmの酸化を行う。この酸化により、マスクである第一層3、第二層4がエッチングされている領域にバズピーク型の酸化膜が形成される(図20)。

【0108】その後LP-CVD法により、例えば30~100nmの膜厚のシリコン酸化膜16を堆積する。次にRIEによりマスクとなる第一層3、第二層4の側壁に膜16が残るようにする(図21)。

【0109】そしてシリコン基板1上のシリコン酸化膜15をRIEにより除去した後、シリコン基板物質1を

エッチングしてトレンチ6を掘る。

【0110】以下、前述したとき方法で製造を行う。

【0111】この実施例によれば、ゲート酸化膜に接するトレンチエッジが、側壁に付けられたCVDシリコン酸化膜やバズピーク型の酸化膜によって、エッジ部F、F'を保護するように酸化膜が厚くついており、この後のNH<sub>4</sub>F処理によってもトレンチエッジ部の露出を防ぐことができる。そして、トレンチ・エッジでの電界集中発生も防止することができる。

【0112】ここで、以上各実施例の説明においては、単体のトランジスタ構造を用いたが、本発明に係るトレンチ素子分離構造は、ロジック半導体集積回路だけでなく、DRAM、SRAMやNOR型あるいはNAND型のEEPROMなどのセル構造にも適用することが可能である。

【0113】特に、本発明を不揮発性メモリのセルに適用した場合の概略断面図を図22に示す。トンネル酸化膜に高電圧を印加して書き込み/消去するメモリセルにとって、本発明はさらに有効になる。この例では、前述の「製造工程1」に係わる実施例で示した方法により分離された素子領域上に、浮遊ゲート、ONO絶縁膜、制御ゲートが積層されて、メモリセルを構成している。このメモリセルを形成するには公知の技術を用いれば良いので、ここでは詳しく記述することはしない。

【0114】この実施例(図22)によれば、素子領域端に生じる角は厚い絶縁膜5により保護されており、浮遊ゲートから隔離されている。従って、書き込み/消去時に制御ゲートに高電圧をかけることにより、浮遊ゲートと基板の間の電位差が高まっても、素子領域端で電界集中が起こって、素子領域中央の電界より素子領域端の電界が大きくなることはない。

【0115】よって、ゲート酸化膜の信頼性を従来例に比べて高めることができる。また、同時に書き込み/消去時の電荷のやり取りを、素子領域中央の品質の安定した部分の酸化膜を使用しておこなうことができるため、書き込み/消去時のセルトランジスタのしきい値ばらつきをへらすことが可能となる。

【0116】上記の説明では、前述の「製造工程1」に係わる実施例で示した方法を用いた場合を説明したが、他の実施例を用いても全く同様の効果が期待できる。

【0117】また、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0118】

【発明の効果】以上説明したように本発明によれば、前記素子分離領域に接する半導体基板物質の上方端部(角部)をゲート酸化膜よりも厚い絶縁膜で保護しているので、従来のトレンチ分離で問題であった角部での電界集中を効果的に緩和することが可能となる。

【0119】この結果、トランジスタのサブスレッショ



ルド領域でのキンクを回避することができるとともに、ゲート酸化膜の信頼性を向上することができる。

【0120】しかも、素子分離領域の主要部分にトレンチ構造を用いているので、素子の微細化が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る素子分離領域の製造方法を示す工程断面図

【図2】本発明の他の実施例に係る素子分離領域の製造方法を示す工程断面図

【図3】本発明のさらに他の実施例に係る素子分離領域の製造方法を示す工程断面図

【図4】本発明のさらに他の実施例に係る素子分離領域の製造方法を示す工程断面図

【図5】本発明の素子分離領域およびこれを用いて素子分離されたトランジスタの概念図

【図6】本発明の一実施例に係る素子分離領域の製造方法を示す工程断面図

【図7】同素子分離領域の製造方法を示す工程断面図

【図8】同素子分離領域の製造方法を示す工程断面図

【図9】同素子分離領域の製造方法を示す工程断面図

【図10】同素子分離領域の製造方法を示す工程断面図

【図11】本発明の他の実施例に係る素子分離領域の製造方法を示す工程断面図

【図12】同素子分離領域の製造方法を示す工程断面図

【図13】同素子分離領域の製造方法を示す工程断面図

【図14】同素子分離領域の製造方法を示す工程断面図

【図15】本発明のさらに他の実施例に係る素子分離領域を用いたトランジスタ・デバイスの平面図

【図16】図15に示す平面図のA-A'断面図

【図17】同素子分離領域の製造方法を示す工程断面図の各形成工程における概略断面図

【図18】同素子分離領域の製造方法を示す工程断面図

【図19】本発明のさらに他の実施例に係る素子分離領域を用いたトランジスタ・デバイスの断面図

【図20】同素子分離領域の製造方法を示す工程断面図

【図21】同素子分離領域の製造方法を示す工程断面図

【図22】本発明の素子分離法を用いて作られた不揮発性メモリセルの断面図

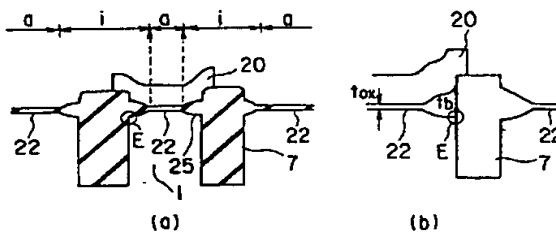
【図23】従来のLOCOS分離とトレンチ分離を説明するための図

【図24】従来のトレンチ分離とトレンチ分離により素子分離されたトランジスタのサブスレッショルド特性を示す図

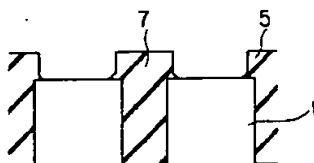
【符号の説明】

1…半導体基板、2…バッファ酸化膜、3…第1のマスク層、4…第2のマスク層、5…熱酸化膜、6…溝、7…絶縁物、8…熱酸化膜、9…窒化膜、16…シリコン酸化膜、20…ゲート多結晶シリコン、22…ゲート酸化膜、25…酸化膜、26…窒化膜、30…レジスト、31…CVDシリコン酸化膜、41…浮遊ゲート、42…ONO絶縁膜、43…制御ゲート

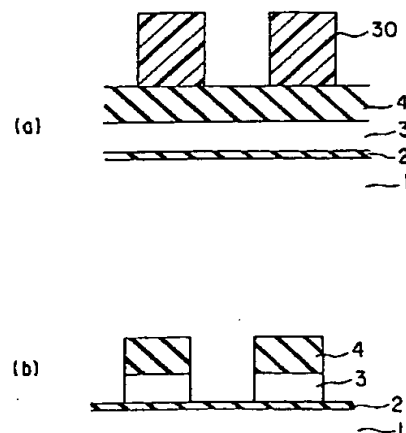
【図5】



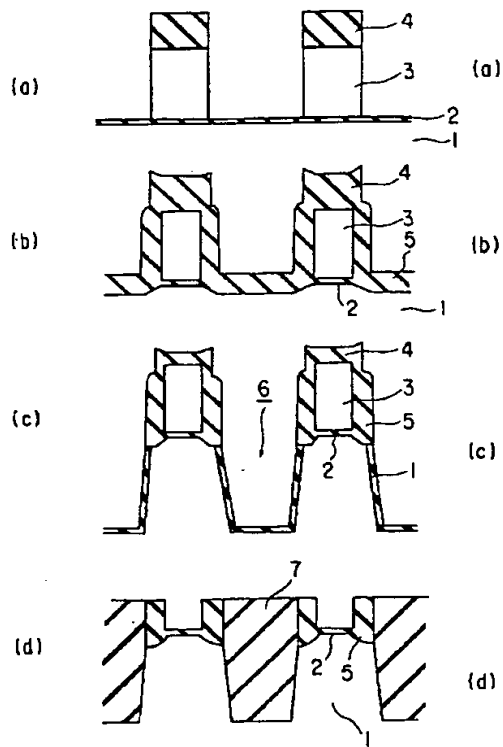
【図9】



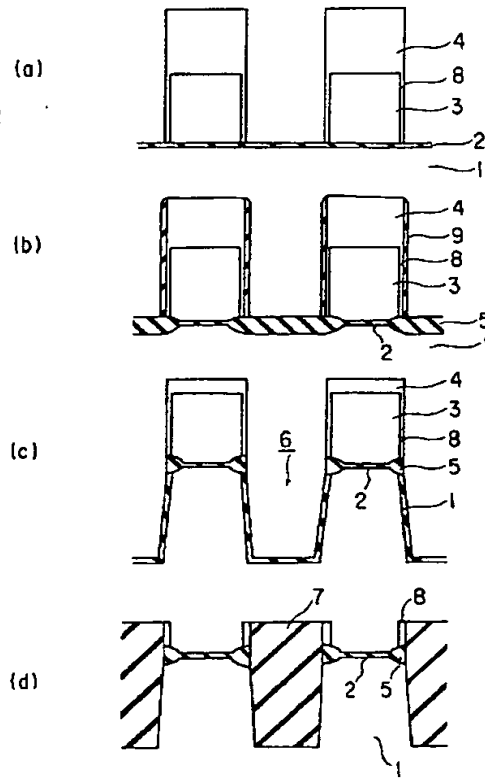
【図6】



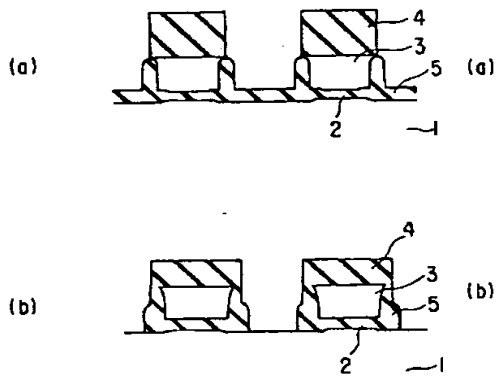
【図 1】



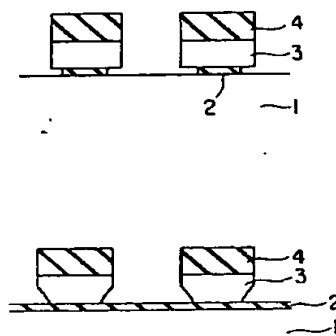
【図 2】



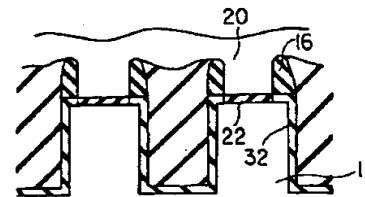
【図 7】



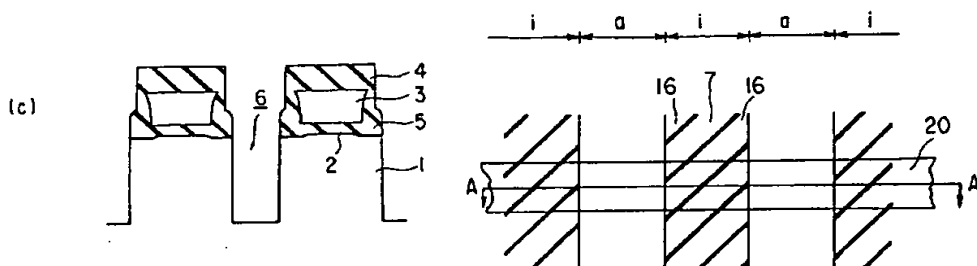
【図 10】



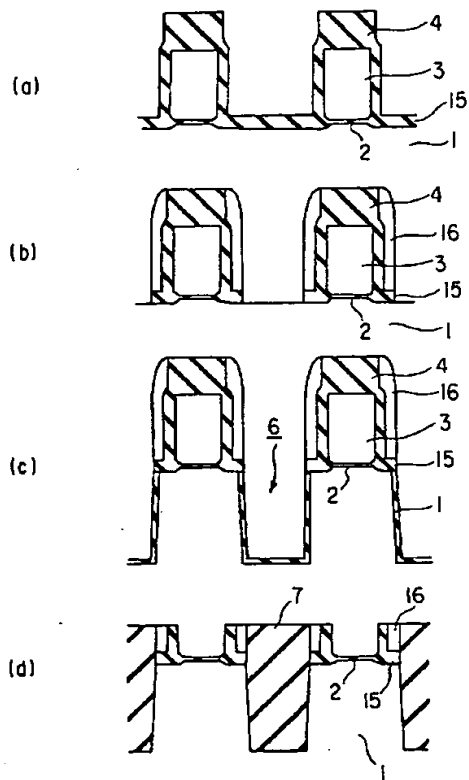
【図 18】



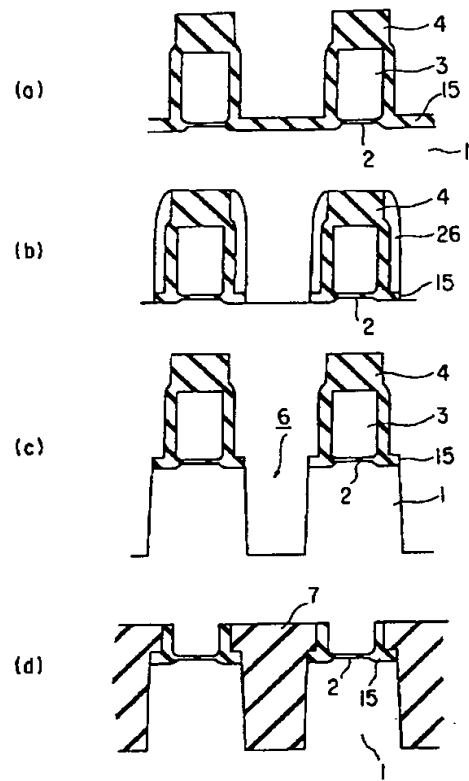
【図 15】



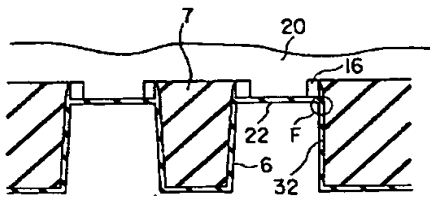
【図 3】



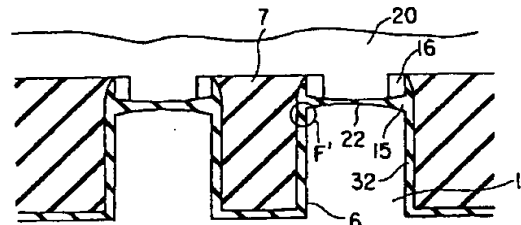
【図 4】



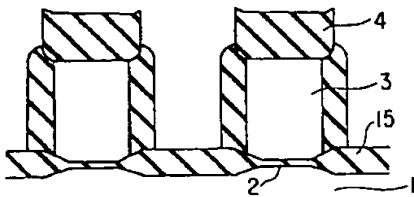
【図 16】



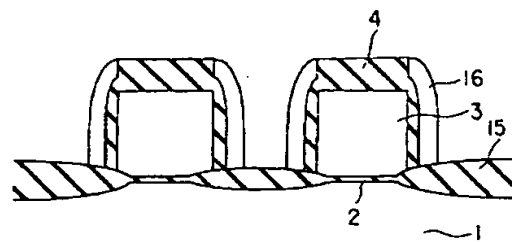
【図 19】



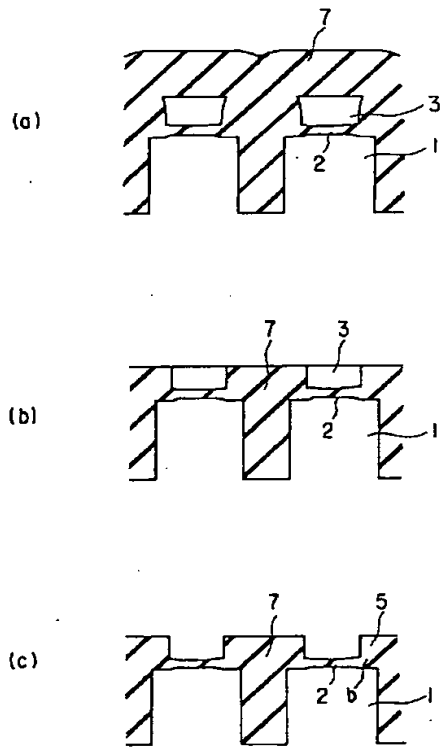
【図 20】



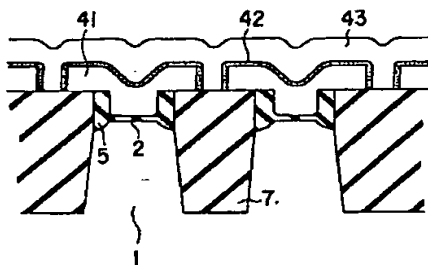
【図 21】



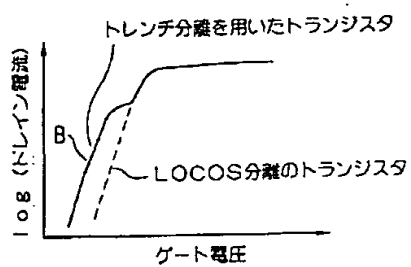
【図 8】



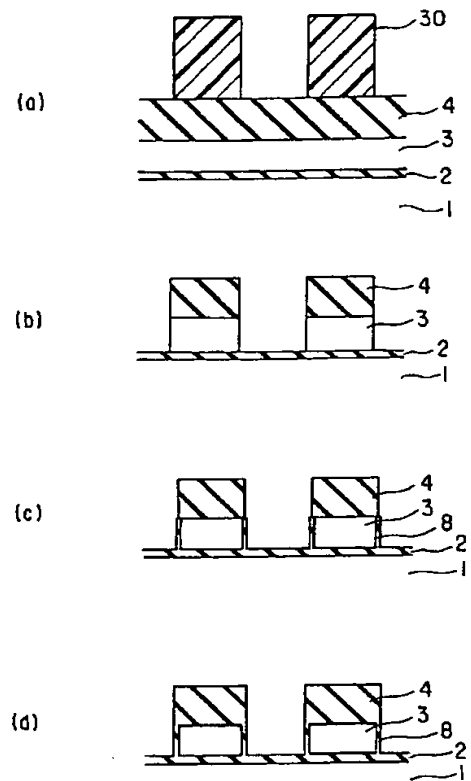
【図 2 2】



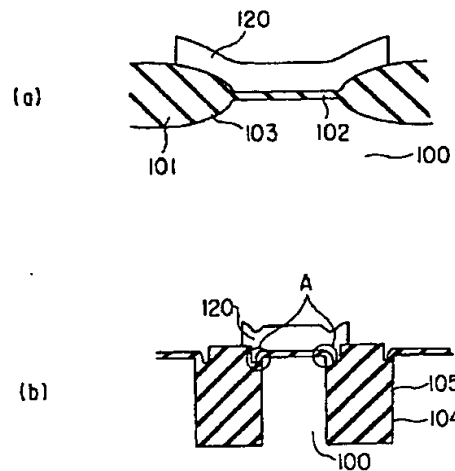
【図 2 4】



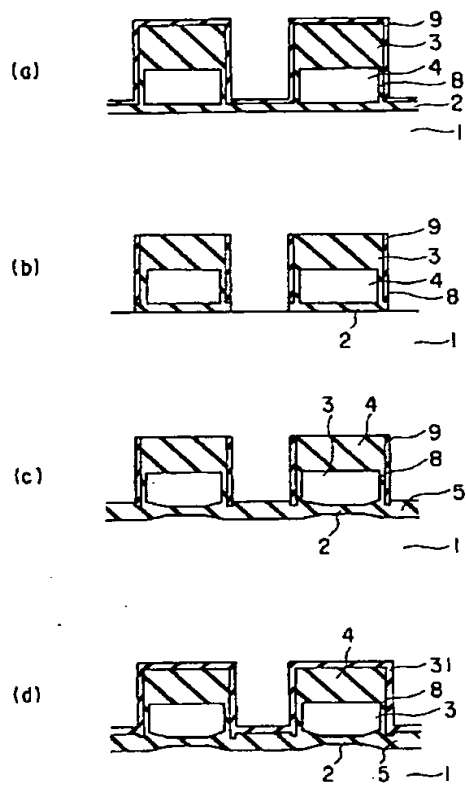
【図 1 1】



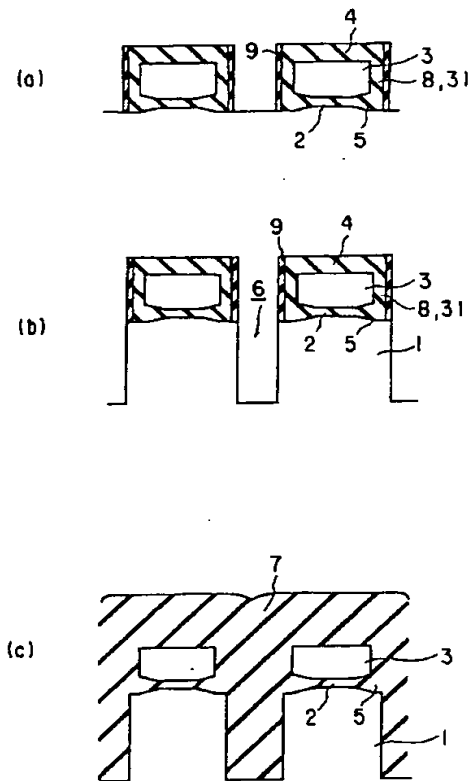
【図 2 3】



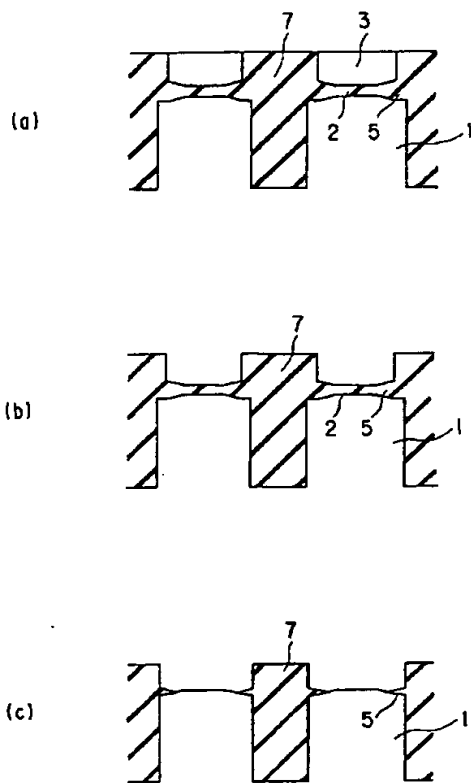
【図 12】



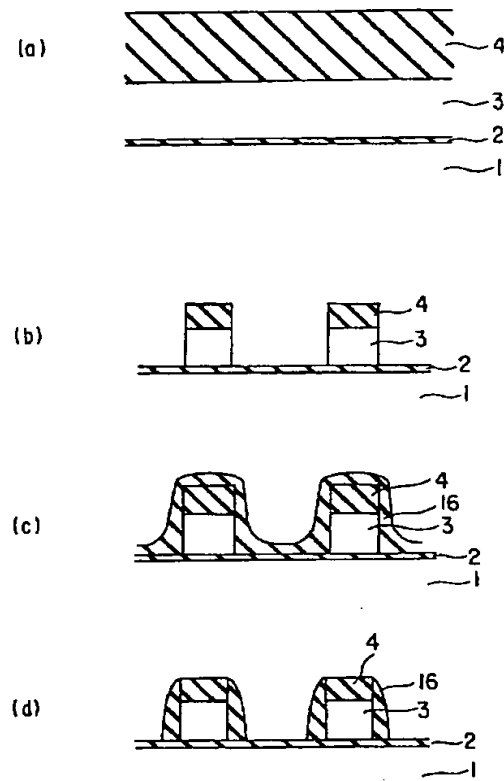
【図 13】



【図14】



【図17】



フロントページの続き

(72) 発明者 丸山 徹  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72) 発明者 渡部 浩  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内